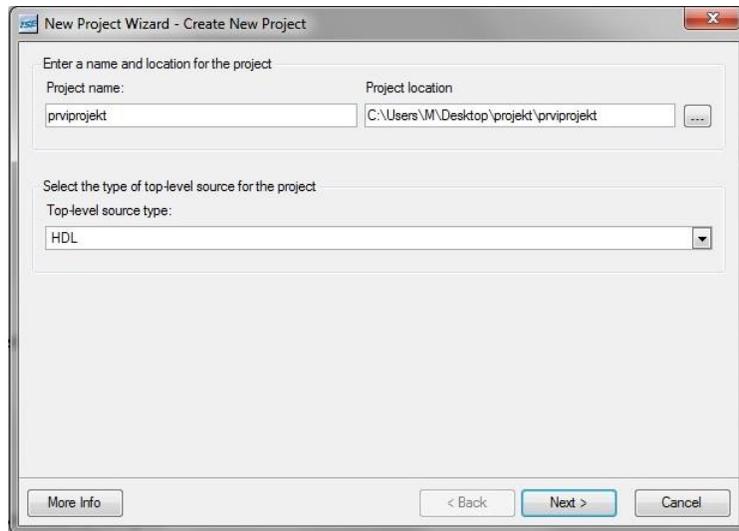


RAZVOJ DIGITALNIH SISTEMOV

UVODNA VAJA

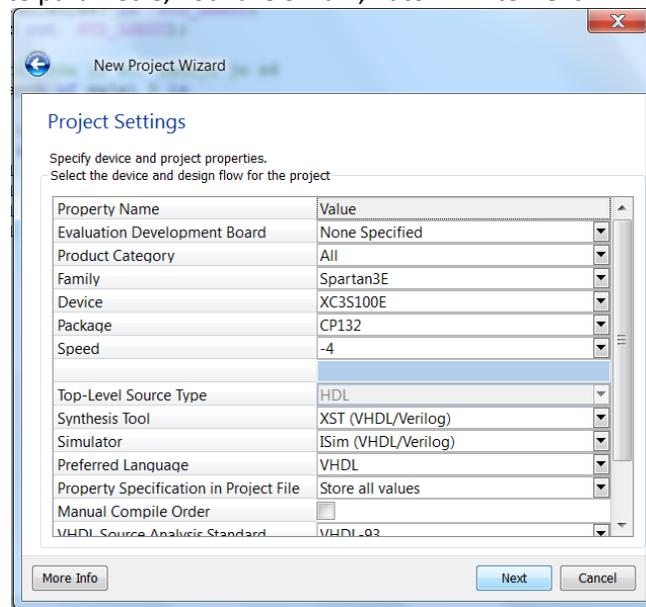
IZDELAVA PRVEGA PROJEKTA

Zaženite **Xilinx ISE 14.7**. V programu pojdite na **File -> New project**. Odpre se okno **New Project Wizard – Create New Project** (Slika 1), kjer pod **Project name** nastavite ime projekta, ki naj ne vsebuje presledkov. Pod **Project location** izberite mapo, v kateri bo vaš projekt shranjen. Pot do te mape naj ne vsebuje presledkov, prav tako tudi samo ime mape ne. Pod **Top-level source type** nastavite **HDL**, nato kliknite **Next**.



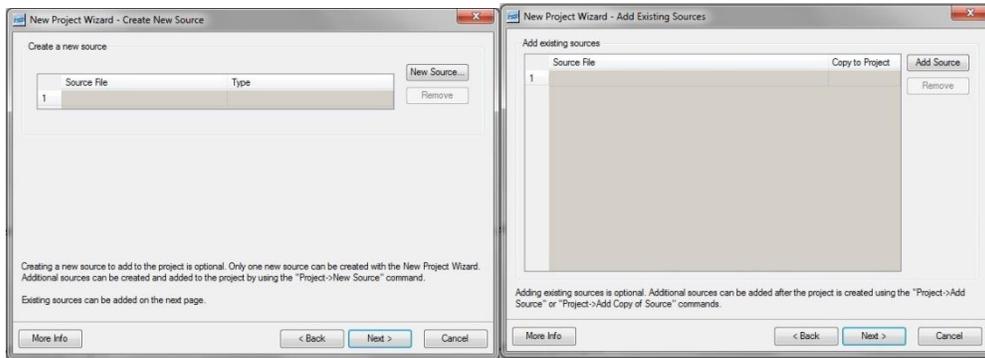
Slika 1

V oknu **Device Properties** izberete, na kakšnem CPLDju/FPGAju se bo izvajal vaš projekt. Za namen laboratorijskih vaj nastavite parametre, kot kaže Slika 2, nato kliknite **Next**.



Slika 2

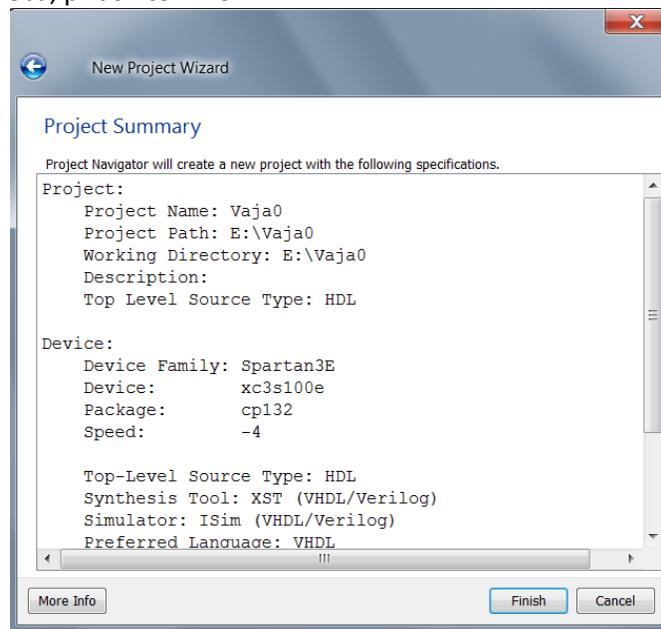
Nato se odpre okno **Create New Source** (Slika3), pritisnite **Next**, nato se odpre okno **Add Existing Sources** (Slika 4) in prav tako pritisnite **Next**.



Slika 3

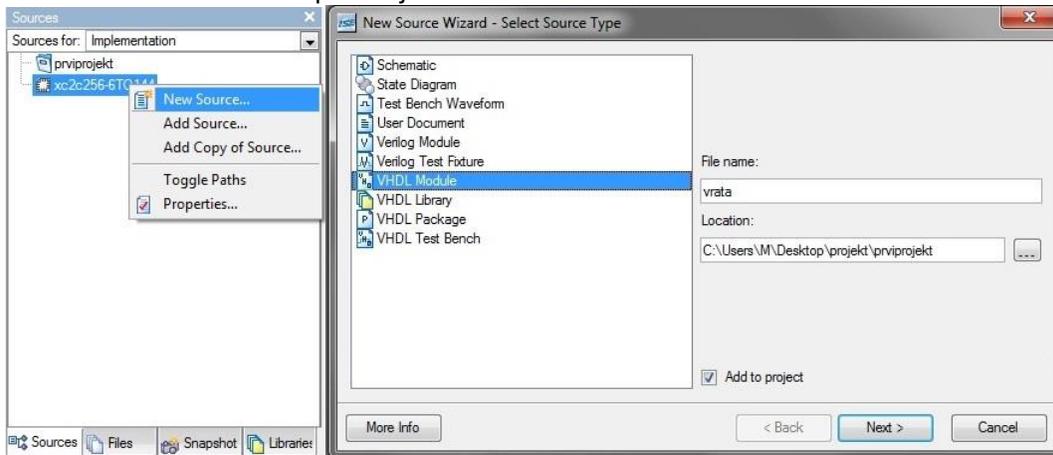
Slika 4

Odpre se okno **Project Summary**, kjer so navedene vse vaše nastavitavitve (Slika 5). V primeru, da je vse nastavljeno tako kot je treba, pritisnite **Finish**.



Slika 5

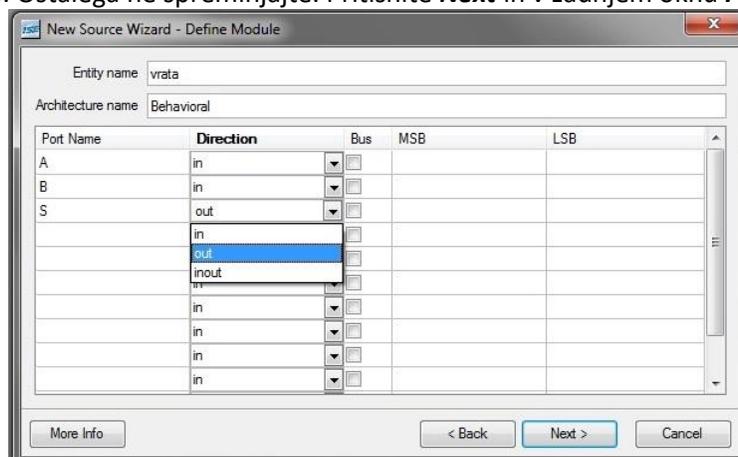
Pojavi se osnovno okno. Na levi strani tega okna je okvirček **Sources** (Slika 6), kjer z desnim klikom kliknete na **xc3s100e-4cp132** in izberete **New Source**. Odpre se **New Source Wizard – Select Source Type** (Slika 7), kjer izberete **VHDL Module**, pod **File name** napišete ime vaše VHDL datoteke. Ime naj ne vsebuje presledkov. Ostalih nastavitev ne spreminjamo. Kliknemo **Next**.



Slika 6

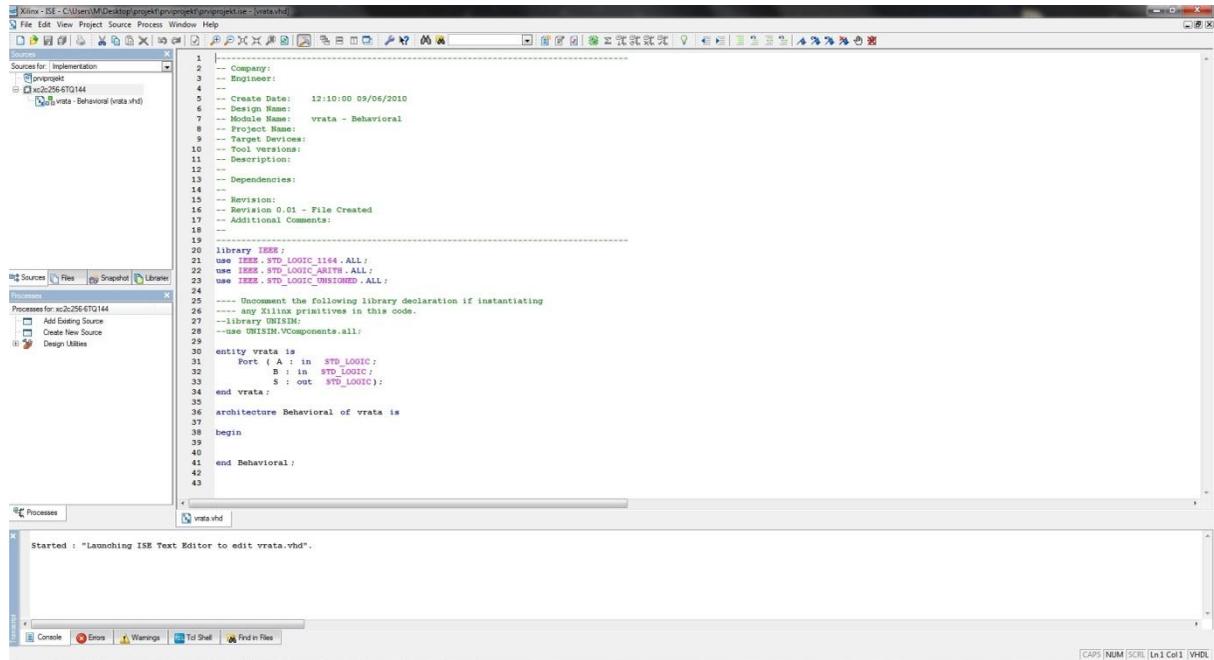
Slika 7

V oknu **Define Module** (Slika 8) portom določite imena, ki jih bomo za namen laboratorijskih vaj pisali z velikimi začetnicami. Vsakemu portu nastavite pod **Direction** še smer (imena in smeri portov se lahko določijo tudi kasneje). Ostalega ne spreminjajte. Pritisnite **Next** in v zadnjem oknu **Finish**.



Slika 8

Odpre se okno, v katerem lahko začnemo opisovati strukture (Slika 9). Če želite opisano strukturo prenesti na razvojno ploščo, sledite poglavju UCF. Če želite izvesti simulacijo, sledite poglavju SIMULACIJA. Pred prehodom na naslednje poglavje (UCF ali SIMULACIJA) shranite svoj projekt s klikom na **File -> Save All**.

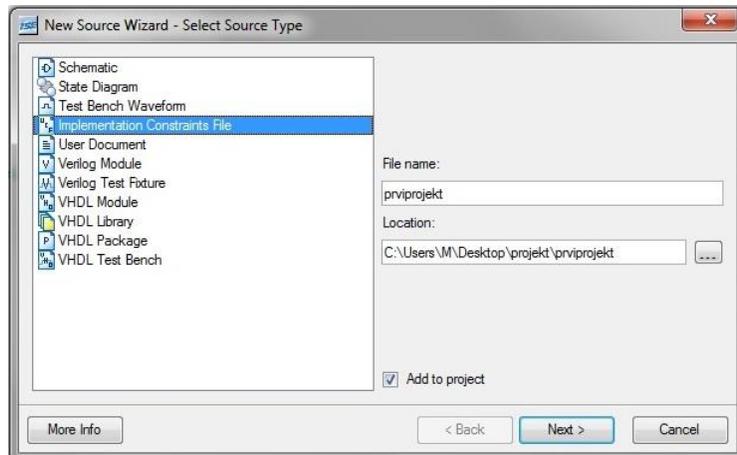


Slika 9

1 UCF

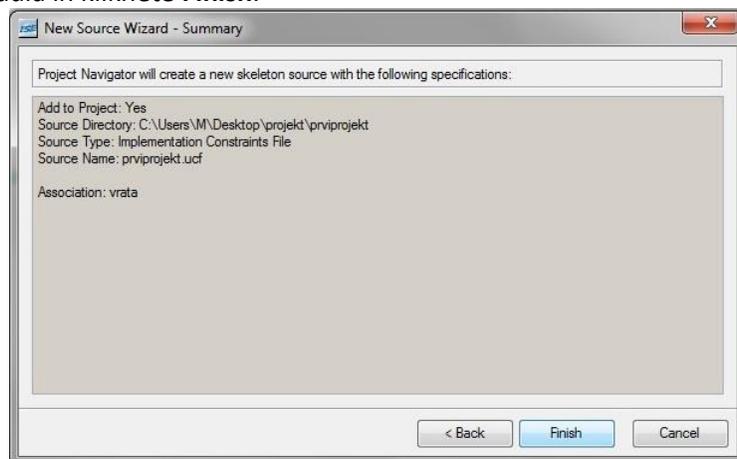
Datoteka UCF je namenjena temu, da našim vhodnim, izhodnim ali vhodno/izhodnim signalom določimo, na kateri pin CPLD-ja/FPGA-ja so povezani. Vsi podatki za izdelavo UCF datoteke na laboratorijskih vajah bodo natančno določeni oziroma bo podana že narejena UCF datoteka!

Datoteko UCF naredite tako, da z desnim klikom na **xc3s100e-4cp132** izberete **New Source**. Ponovno se odpre **New Source Wizard – Select Source Type** (Slika 10), kjer izberete **Implementation Constants File**, za **File name** pa ponovno izberete ime, ki ne vsebuje presledkov. Ostalih nastavitve ne spreminjate. Pritisnete **Next**.



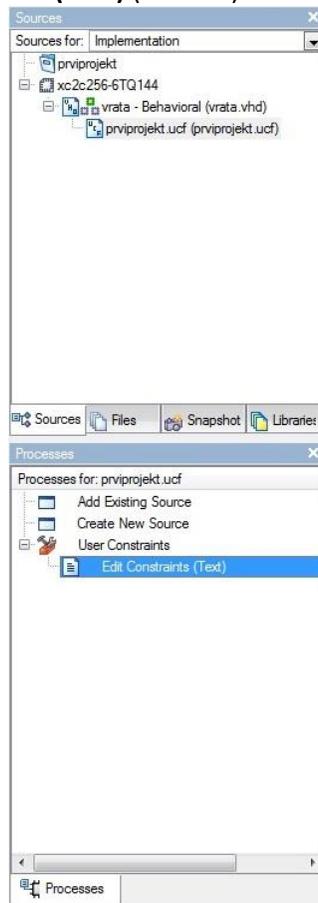
Slika 10

Pojavi nam se okno **Summary** (Slika 11). Preverite, ali je pod **Association** navedeno ime, ki ste ga navedli pri izdelavi VHDL Modula in kliknete **Finish**.



Slika 11

Pod **Sources** z levim klikom kliknite na vašo .ucf datoteko, nato pod **Processes** kliknite na + pri **User Constants** in pokaže vam se **Edit Constants (Text)** (Slika 12). Levi dvoklik na Edit Constants (Text).



Slika 12

Odpre se novo okno (Slika 13). Vsakemu signalu določimo pin FPGA-ja. Osnovna oblika je podana: NET <ime našega vhodnega, izhodnega oziroma vhodno/izhodnega signala> LOC=P<številka pina na FPGA-ju, na katerega želimo, da gre naš signal>

Potem ko določimo vse signale, naš projekt shranimo.

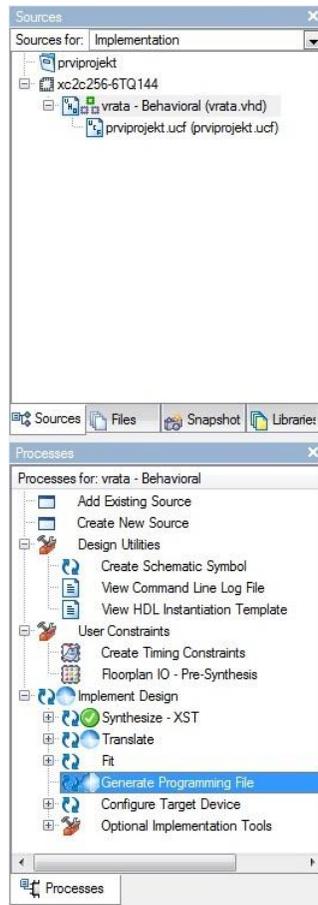
```

1 NET A LOC = P39 ;
2 NET B LOC = P124 ;
3 NET S LOC = P64 ;

```

Slika 13

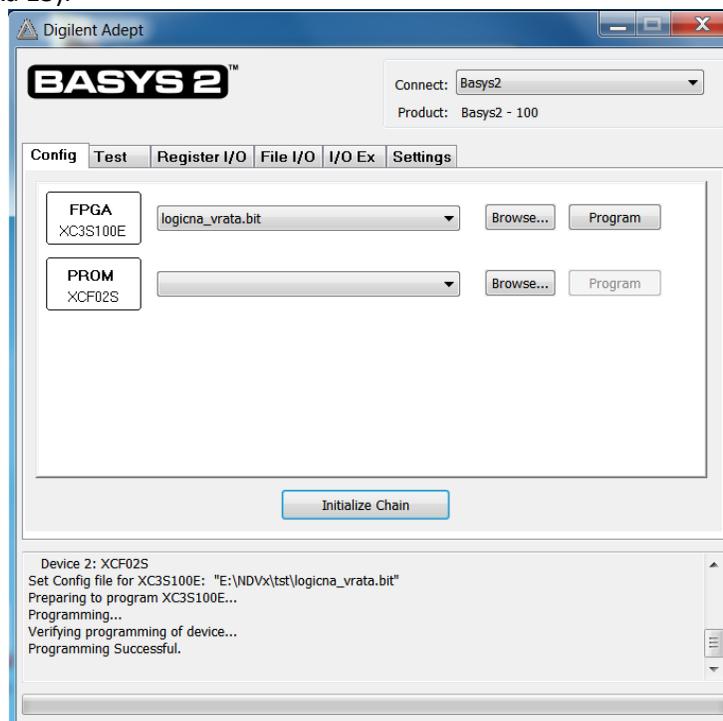
Z levim klikom pod **Sources** izberite .vhd datoteko, nato greste pod **Processes**, kliknete na + pri **Implement Design** in z levim dvoklikom kliknete na **Generate Programming files**. Po končanem prevajanju (traja kakšno minuto) in če ni bilo nobenih napak v sami VHDL kodi ste naredili vse datoteke, ki jih potrebujete za nalaganje na razvojno ploščo (Slika 14).



Slika 14

2 Nalaganje na PLOŠČO

Za nalaganje na razvojno ploščo uporabljate program **DIGILENT ADEPT**. Zaženete program, v prvem zavihku **Config** kliknete na **Browse...** in v mapi, kjer je shranjen projekt, poiščete datoteko s končnico **.bit**. Kliknete **Program** (Slika 15).



Slika 15