

RAZVOJ DIGITALNIH SISTEMOV

Izpit

28. 01. 2020

1. Realizirajte funkcijo f s čim manj izbiralniki 4/1.

$$f(a,b,c,d) = (a \cdot \bar{b} + b \cdot c \cdot \bar{d} + b \cdot c) \cdot ((a \cdot c \cdot d) \cdot (\bar{c} + d))$$

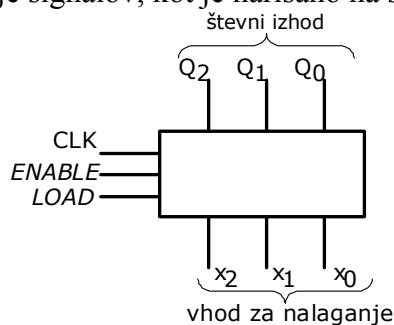
2. Realizirajte podano funkcijo f z redundancami s čim manj 4-bitnimi aritmetičnimi–logičnimi enotami (ALU). Negacije vhodnih spremenljivk izvedite z ALU.

$$f(x_1, x_2, x_3, x_4) = V(0, 5, 6, 9, 10, 12) \text{ in } V_x(3, 15)$$

3. Prikažite sintezo 3-bitnega sinhronnega števca navzgor z omogočanjem štetja (*ENABLE*) in vzporednim nalaganjem (*LOAD*) z D flip-flopi, izbiralniki 2/1 in logičnimi vrati. Logika vseh krmilnih signalov je pozitivna.

S tovrstnim števcem realizirajte števec, ki šteje 2, 3, 4, 5, 2, 3, 4, 5 ...

Uporabite poimenovanje signalov, kot je narisano na spodnji sliki.



4. Minimizirajte podani avtomat končnih stanj z uporabo metode z razdelki ter zapišite tabelo prehajanja stanj nastalega minimalnega avtomata.

<i>Trenutno stanje</i>	<i>Naslednje stanje</i>		<i>Izhod</i>
	$w=0$	$w=1$	
A	B	C	1
B	D	F	1
C	F	E	0
D	B	G	1
E	F	C	0
F	E	D	0
G	F	G	0

Rešitev 1. naloge:

Funkcija f je podana v večnivojski (nenormalni) obliki:

$$f(a,b,c,d) = (a \cdot \bar{b} + b \cdot c \cdot \bar{d} + b \cdot c) \cdot ((a \cdot c \cdot d) \cdot (\bar{c} + d))$$

zato jo najprej poenostavimo z uporabo pravil Boole-ove logike. Izpišemo desni člen funkcije in uporabimo lastnost Boole-ove logike $x \cdot \bar{x} = 0$, lastnost $x \cdot x = x$ in lastnost $0 + x = x$.

$$f(a,b,c,d) = (a \cdot \bar{b} + b \cdot c \cdot \bar{d} + b \cdot c) \cdot (a \cdot c \cdot d \cdot \bar{c} + a \cdot c \cdot d \cdot d)$$

Nad rezultatom ponovno uporabimo lastnost Boole-ove logike $x \cdot \bar{x} = 0$ in lastnost $x \cdot x = x$.

$$f(a,b,c,d) = (a \cdot \bar{b} + b \cdot c \cdot \bar{d} + b \cdot c) \cdot (a \cdot c \cdot d)$$

Rezultat vnesemo v levi del funkcije in znova uporabimo omenjene lastnosti Boole-ove logike:

$$f(a,b,c,d) = (a \cdot \bar{b} \cdot a \cdot c \cdot d + b \cdot c \cdot \bar{d} \cdot a \cdot c \cdot d + b \cdot c \cdot a \cdot c \cdot d)$$

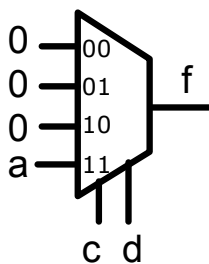
Dobimo dva člena in ju zapišemo v obliki PDNO, ki jo nato minimiziramo s pomočjo Veitch-evega diagrama ali z uporabo lastnosti združevanja Boole-ove algebre $x + \bar{x} = 1$:

$$f(a,b,c,d) = a \cdot \bar{b} \cdot c \cdot d + b \cdot a \cdot c \cdot d$$

$$f_{PDNO}(a,b,c,d) = V(11,15)$$

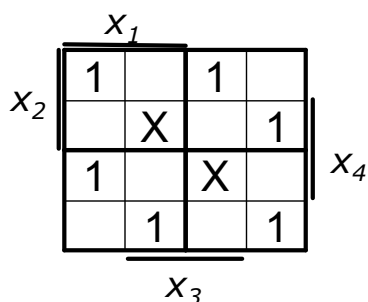
$$f_{MDNO}(a,b,c,d) = a \cdot c \cdot d \cdot (\bar{b} + b) = a \cdot c \cdot d$$

in jo realiziramo z enim izbiralnikom 4/1, tako da naredimo Shannon-ov razvoj funkcije. Glede na kombinacijo naslovnih vhodov izbiralnika dobimo 6 možnih rešitev (ac, ca, ad, da, cd, dc).



Rešitev 2. naloge:

Funkcijo najprej izrišemo v Veitch–ev diagram:



Funkcija vsebuje same diagonalne člene, zato realizacija v obliki KNO oz. DNO ne nudi minimalne oblike. Če se izkaže, da je funkcija linearna, jo lahko realiziramo s pomočjo XOR funkcij. Linearnost funkcije ugotovljamo tako, da prepogibamo kvadrate diagrama: Začnemo v desnem spodnjem kotu (kjer je minterm 0) in prepognemo kvadrat navzgor, da se spremeni samo ena spremenljivka naenkrat (x_4 postane 0 v prvi iteraciji).

S pomočjo Veitch–evega diagrama izračunamo koeficiente.

Iz enačb sledi: $k_0=1$ in $k_0 \oplus k_3=0$, kar pomeni $1 \oplus k_3=0 \rightarrow k_3=1$.

In če napišemo še enačbo za $k_0 \oplus k_2=0$, kar pomeni $1 \oplus k_2=0$ sledi da je $k_2=1$.

Iz enačbe $k_0 \oplus k_2 \oplus k_4=1$, kar pomeni $1 \oplus 1 \oplus k_4=1 \rightarrow k_4=1$.

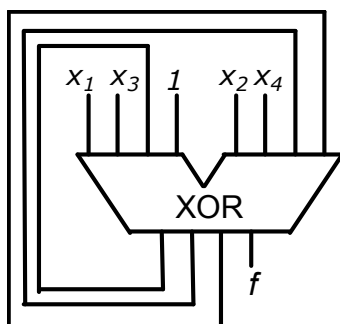
Analiziramo naprej in dobimo $k_0 \oplus k_1 \oplus k_2=1$, kar pomeni $1 \oplus k_1 \oplus 1=0 \rightarrow k_1=1$.

Vstavimo dobljene koeficiente v enačbo za splošno izražavo in dobimo:

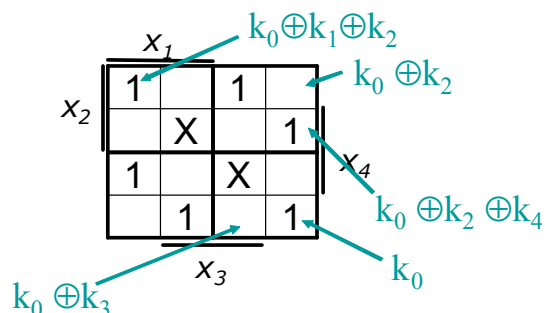
$$f(x_1, x_2, x_3, x_4) = 1 \oplus x_1 \oplus x_2 \oplus x_3 \oplus x_4$$

Aritmetično–logično enota lahko poleg aritmetičnih naenkrat realizira štiri dvovhodne logične operacije *istega tipa* (OR, AND, NOT, NOR, NAND, XOR, XNOR), zato nas zanima realizacija zgornje funkcije z dvovhodnimi operatorji enega tipa. Pri realizaciji uporabimo lastnost združevanja, ki velja za XOR funkcijo.

$$f(x_1, x_2, x_3, x_4) = 1 \oplus ((x_1 \oplus x_2) \oplus (x_3 \oplus x_4))$$



Opazujemo, ali se prepogne na novi kvadrat čisto enako ali pa popolnoma negirano. Če postavimo obe redundanci na '1', lahko s prepogibanjem ugotovimo, da je funkcija linearna.



Podana funkcija je funkcija 4 spremenljivk, zato lahko njeno splošno izražavo kot linearno funkcijo pišemo kot:

$$f(x_1, x_2, x_3, x_4) = k_0 \oplus k_1 x_1 \oplus k_2 x_2 \oplus k_3 x_3 \oplus k_4 x_4$$

Rešitev 3. naloge:

trenutno stanje			naslednje stanje			D–FF		
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

Podobno za D₂ narišemo Veitchev diagram

D_2 :

	Q ₂			
Q ₁	1	0	1	0
	1	1	0	0
	Q ₀			

Za D₂ sledi:

$$D_2 = Q_2 Q_1' + Q_2 Q_0' + Q_2' Q_1 Q_0$$

Iz tabele prehajanja stanj števca določimo enačbe D–FF:

Za D₀ se iz tabele vidi $D_0 = Q_0'$

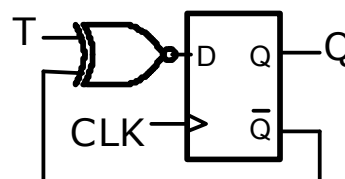
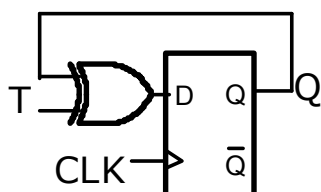
Za D₁ narišemo Veitchev diagram:

D_1 :

	Q ₂			
Q ₁	1	0	0	1
	0	1	1	0
	Q ₀			

$$D_1 = Q_0 \oplus Q_1$$

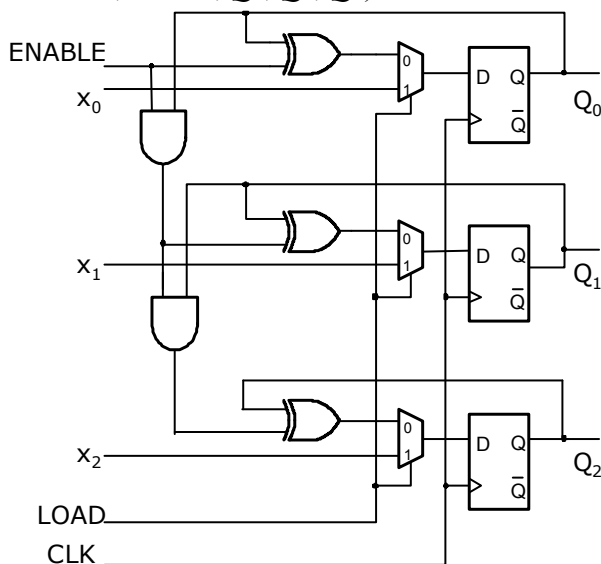
Če enačbo $D_0 = Q_0'$ zapišemo kot $D_0 = 1 \oplus Q_0$ in jo narišemo v vezju, smo pravzaprav realizirali T–FF s pomočjo D–FF, kot kaže levi del spodnje slike:



Slika 1: Realizacija T-FF s pomočjo D-FF in XOR vrat (levo) in XNOR vrat (desno)

Naloga pravi, da moramo izdelati števec, ki ima vhod za omogočanje štetja (*ENABLE*): Če prvemu "T–FF" (D–FF z XOR vrati) postavimo vhod $T_0 = '0'$ namesto $T_0 = '1'$, vsi FF ne bodo šteli, ampak bodo ohranjali stanje. Torej, če na vhod T_0 postavimo zunanji signal *ENABLE*, števec ne bo štel, ampak ohranjal stanje, če bo *ENABLE* = '0'. V verigi sinhronnega števca so namreč vsi FF vezani tako, da so odvisni od prvega FF. Če stanje ohranja prvi, ga bodo tudi vsi ostali.

Za realizacijo signala za vzporedno nalaganje pa izkoristimo osnovno lastnost D–FF (pomnjenje). To storimo tako, da na vhod vsakega D–FF postavimo 2/1 izbiralnik, s katerim določimo, ali se bo dana informacija vpisala s števnega vhoda ali preko zunanjih priključkov. Do iste realizacije bi prišli, če bi v osnovni analizi upoštevali ta dva krmilna signala – analiza je veliko bolj zapletena, saj vsebuje Veitcheve diagrame za 5 spremenljivk (*ENABLE*, *LOAD*, Q_2 , Q_1 , Q_0).



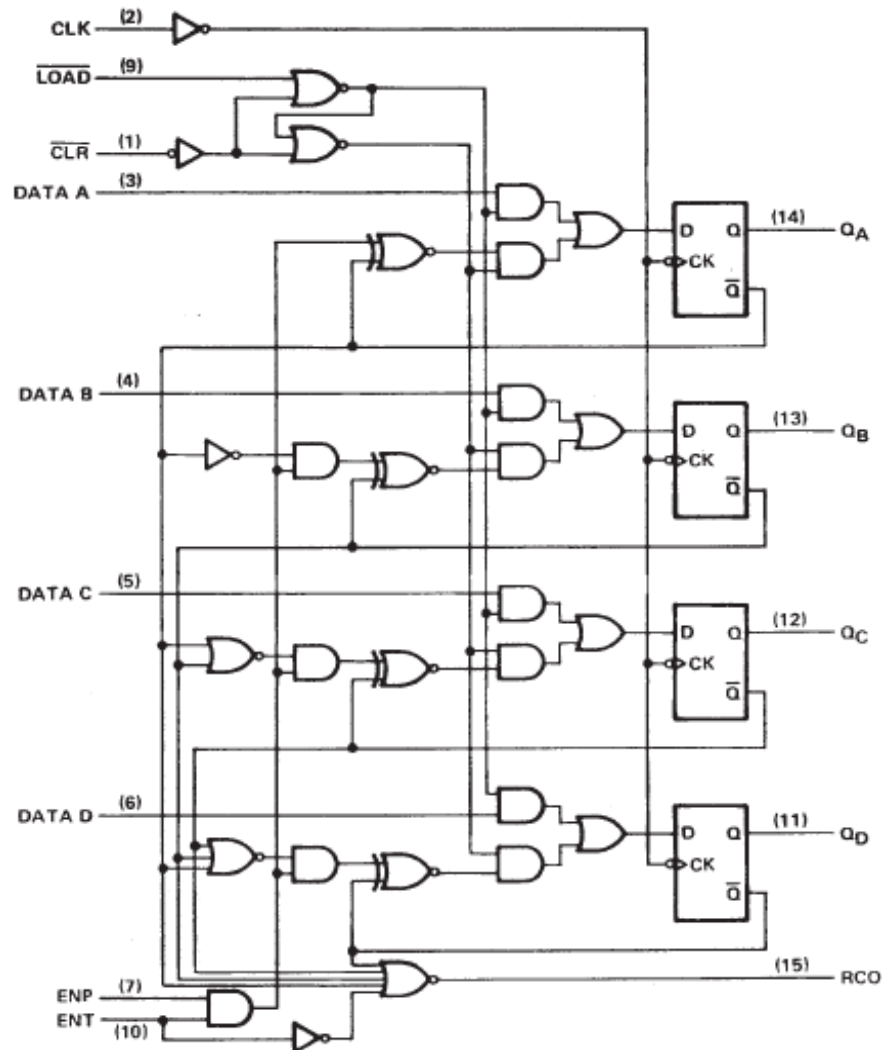
Slika 2: Sinhroni števec z vzporednim nalaganjem (*LOAD*) in omogočanjem štetja (*ENABLE*) (3-bitna izvedba).

Če želimo z nastalim števcem šteti naraščajoče 2, 3, 4, 5 ..., moramo ko števec pride do stanja 5 ($Q_2Q_1Q_0=101_2$) števec postaviti nazaj na stanje v stanje 2 ($Q_2Q_1Q_0=x_2x_1x_0=010_2$), torej signal *LOAD* dekodiramo s pomočjo 2–vhodnih AND vrat. Pomembno pri tem je, da se pri dekodiranju zavedamo, da se $Q_2 = '1'$ in $Q_0 = '1'$ v števeni sekvenci pojavlja samo enkrat – če bi se večkrat, bi morali dekodirati tudi Q_1 . Pri tovrstnih števcih ponavadi uporabljamo še en signal *RESET*, s katerim postavimo števec v začetno stanje, kar dosežemo tako, da na vhod D–FF za brisanje asinhrono priključimo signal *RESET*.

Nastali strukturi števca bi lahko na isti način dodali še četrti bit. Tako bi dobili podobno strukturo kot je 4–bitni sinhroni števec z vzporednim nalaganjem 74163¹. Pri spodnji realizaciji tega vezja so uporabljeni D–FF, proženi na negativni rob signala ure (*CLK*). Štetje omogočimo s signaloma *ENP*, *ENT* (ang. enable parallel, enable transfer). Štetje je izvedeno tako, da se D–FF spremenijo v T–FF, kar dosežemo s pomočjo XNOR vrat, ki imajo en vhod vezan na števeni signal ($ENT=ENP='1'$), drug vhod pa na izhod Q' FF. AND vrata pred XNOR zagotavljajo prenehanje štetja, če velja $ENT \cdot ENP \neq '1'$. Na vhodu D–FF je vezan enostaven izbiralnik iz dveh AND vrat, vezanih na OR vrata. Ta izbiralnik določa, ali bo števec štel, ali bo vzporedno naložil vrednost. Zgornja *AND* vrata izbiralnika so krmiljena s signalom $LOAD \cdot CLR'$, spodnja pa z $LOAD' \cdot CLR'$. Čim velja, da je $CLR' = '1'$ in $LOAD' = '0'$, se v D–FF asinhrono naloži vsebina na vseh $Q_D Q_C Q_B Q_A = DATA_D DATA_C DATA_B DATA_A$, medtem ko dokler velja $LOAD' = '1'$ in $CLR' = '1'$, bo števec štel navzgor. Če je $CLR' = '0'$, je na obeh vseh vseh AND vrat izbiralnika '0' in stanje vseh D–FF se asinhrono postavi na $Q_D Q_C Q_B Q_A = "0000"$. Števeni izhodi so $Q_D Q_C Q_B Q_A$. Izhod *RCO* (*ripple carry out*) se postavi na '1', ko je števec v stanju "1111" ob tem, da

¹ <http://www.alldatasheet.com/view.jsp?Searchword=74163>

je $ENT='1'$. Signal RCO je izveden z NOR vrati na vhode katerih so priključeni negirani izhodi D-FF, kar je po De Morgan-ovem teoremu ekvivalent AND vratom.



Slika 3: Struktura 4-bitnega MSI sinhronega števca z vzporednim nalaganjem (74163).

Rešitev 4. naloge:

V prvi iteraciji zberemo skupaj vsa stanja v enem razdelku: $P_1 = (ABCDEFGG)$

Trenutno stanje	Naslednje stanje		Izhod z
	w=0	w=1	
A	B	C	1
B	D	F	1
C	F	E	0
D	B	G	1
E	F	C	0
<u>F</u>	E	<u>D</u>	0
G	F	G	0

Naslednja iteracija loči stanja, ki imajo različne izhode: $P_2 = (ABD)(CEFG)$

- Pregledamo vsa naslednja stanja pri vhodu 0 in 1 v vsakem bloku:
 - Blok (ABD):
 - Naslednja stanja pri w=0 (BDB)
 - Naslednja stanja pri w=1 (CFG)
 - Blok (CEFG):
 - Naslednja stanja pri w=0 (FFEF)
 - Naslednja stanja pri w=1 (ECDG)

Vsa stanja niso v enem bloku. Problem je pri stanju **F**, ki ima naslednje stanje **D**. Zato bo stanje **F** NEEKVIVALENTNO ostalim **CEG**.

- Novo stanje **F** zato postavimo v svojo skupino.

Naslednja iteracija loči stanje F od ostalih $P_3 = (ABD)(CEG)(F)$

- Blok (ABD):
 - Naslednja stanja pri w=0 (BDB)
So vsa v istem bloku
 - Naslednja stanja pri w=1 (CFG) Niso v istem bloku, ker je **F** v drugem bloku kot **C** in **G**. Zato bo stanje **B** v novem bloku.
- Blok (CEG):
 - Naslednja stanja pri w=0 (FFF)
 - Naslednja stanja pri w=1 (ECG) C, E in G imamo lahko še vedno za ekvivalentna

Trenutno stanje	Naslednje stanje		Izhod z
	w=0	w=1	
A	B	C	1
B	D	F	1
C	F	E	0
D	B	G	1
E	F	C	0

<i>F</i>	<i>E</i>	<i>D</i>	<i>0</i>
<i>G</i>	<i>F</i>	<i>G</i>	<i>0</i>

Naslednja iteracija loči stanje B od ostalih $P_4 = (AD)(B)(CEG)(F)$

- Blok (*AD*)
 - Naslednja stanja pri $w=0$ (*BB*)
 - Naslednja stanja pri $w=1$ (*CG*)
 - So vsa v istem bloku.
- Blok (*CEG*)
 - Naslednja stanja pri $w=0$ (*FFF*)
 - Naslednja stanja pri $w=1$ (*ECG*) So vsa v istem bloku.

Trenutno stanje	Naslednje stanje		Izhod z
	w=0	w=1	
<i>A</i>	<i>B</i>	<i>C</i>	<i>1</i>
<i>B</i>	<i>D</i>	<i>F</i>	<i>1</i>
<i>C</i>	<i>F</i>	<i>E</i>	<i>0</i>
<i>D</i>	<i>B</i>	<i>G</i>	<i>1</i>
<i>E</i>	<i>F</i>	<i>C</i>	<i>0</i>
<i>F</i>	<i>E</i>	<i>D</i>	<i>0</i>
<i>G</i>	<i>F</i>	<i>G</i>	<i>0</i>

$P_5 = (AD)(B)(CEG)(F)$

Iteraciji P_5 in P_4 sta enaki, zato se postopek minimizacije zaključi. Stanji *A* in *D* sta ekvivalentni. Stanja *C*, *E* in *G* so ekvivalentna.

- Tabelo stanj zapišemo na novo
- Izbrišemo vrstice za *D*, *E* in *G*
- Zamenjamo stanja: $D \rightarrow A$ in vse $E \rightarrow C$ ter $G \rightarrow C$

Rezultat je nova tabela stanj minimiziranega avtomata:

Trenutno stanje	Naslednje stanje		Izhod z
	w=0	w=1	
<i>A</i>	<i>B</i>	<i>C</i>	<i>1</i>
<i>B</i>	<i>A</i>	<i>F</i>	<i>1</i>
<i>C</i>	<i>F</i>	<i>C</i>	<i>0</i>
<i>F</i>	<i>C</i>	<i>A</i>	<i>0</i>